

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-050523

(43)Date of publication of application : 20.02.1996

(51)Int.Cl.

G06F 1/32

(21)Application number : 07-018665

(71)Applicant : SUN MICROSYST INC

(22)Date of filing : 10.01.1995

(72)Inventor : KURIHARA STEVEN M  
INSLEY MARK W

(30)Priority

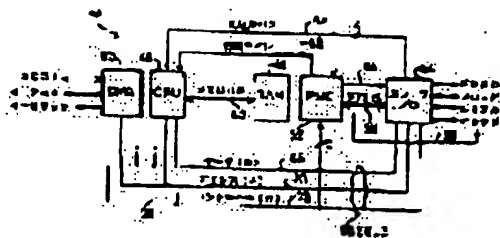
Priority number : 94 179433 Priority date : 10.01.1994 Priority country : US

## (54) POWER CONSUMPTION MANAGEMENT METHOD IN COMPUTER SYSTEM AND ITS DEVICE

(57)Abstract:

PURPOSE: To reduce power consumption of a computer system.

CONSTITUTION: A computer system has a central processing unit(CPU) 46 and a power management circuit(PMC) 52. The CPU 46 has an operation mode which responds to interrupts and direct memory access requests and a standby mode which is in a low power state and does not respond to interrupts and direct memory access requests. The PMC 52 monitors interrupts and direct memory access requests to the system and sets the CPU 46 to its operation mode in response to the detection of the interrupts and direct memory access requests when the CPU 46 is in its standby mode. The method for managing power consumption of the CPU 46 consists of a process which sets the CPU 46 to its low power standby mode, a process which monitors the interrupts and direct memory access requests to the computer system and a process which returns the CPU 46 to its operation mode that can respond to the detected requests.



## LEGAL STATUS

[Date of request for examination] 18.12.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本國特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-50523

(43)公開日 平成8年(1996)2月20日

(51) Int Cl.°

識別記号

厅内整理番号

FI

### 技術表示箇所

G O 6 F 1/32

G O 6 F 1/ 00

3 3 2 B

審査請求 未請求 請求項の数23 FD (全 18 頁)

(21)出願番号 特願平7-18665

(22) 出願日 平成7年(1995)1月10日

(31) 優先權主張番号 08/179,433

(32) 優先日 1994年1月10日

(33) 優先權主張國 米國 (US)

(71)出願人 591064003

サン・マイクロシステムズ・インコーポレ  
ーテッド

SUN MICROSYSTEMS, IN  
CORPORATED

アメリカ合衆国 94043 カリフォルニア  
州・マウンテンビュー・ガルシア アヴェ  
ニュー・2550

(72)発明者 スティーブン・エム.・クリハラ

アメリカ合衆国 カリフォルニア州941306  
 バロ・アルト, プライソン・アヴェニュー  
 ー 588

(74) 代理人 弁理士 五十嵐 孝雄 (外1名)

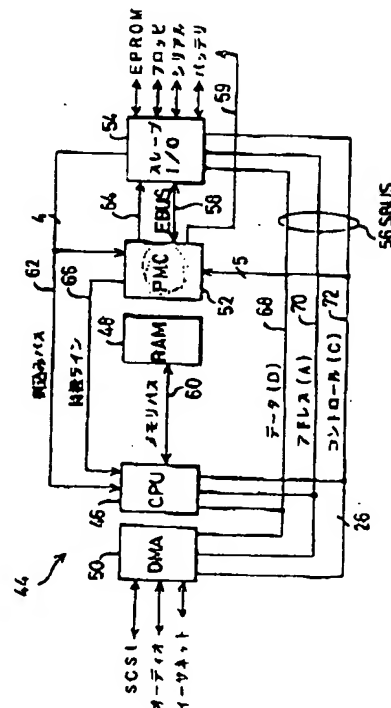
**最終頁に続く**

(54) 【発明の名称】 コンピュータシステムにおける消費電力管理方法及び装置

(57)【要約】 (修正有)

【目的】 コンピュータシステムの電力消費量を低減する。

【構成】 コンピュータシステムは、中央処理装置（CPU）と電力管理回路（PMC）とを備えている。CPUは、割込みやダイレクトメモリアクセス要求に応答する動作モードと、低電力状態であって割込みやダイレクトメモリアクセス要求に応答しない待機モードとを有している。電力管理回路は、CPUが待機モードにある場合にシステムにおける割込みやダイレクトメモリアクセス要求をモニタし、割込みやダイレクトメモリアクセス要求の検出に応じてCPUを動作モードに設定する。CPUの消費電力を管理する方法は、CPUを低電力の待機モードに設定する工程と、コンピュータシステムの割込みとダイレクトメモリアクセス要求をモニタする工程と、検出された要求に応答可能な動作モードにCPUを復帰させる工程と、を備える。



## 【特許請求の範囲】

【請求項 1】 電力管理機能を有するコンピュータシステムであって、  
外部イベントにตอบสนองする動作モードと、低出力状態にあって前記外部イベントにตอบสนองしない待機モードと、を有する中央処理装置と、  
前記中央処理装置に接続され、前記中央処理装置が前記待機モードにある時に前記外部イベントをモニタして、外部イベントの検出に応じて前記中央処理装置を前記動作モードに設定する電力管理回路と、を備えるコンピュータシステム。

【請求項 2】 請求項 1 記載のコンピュータシステムであって、  
前記中央処理装置は待機入力を有しており、  
前記電力管理回路は、前記待機入力に接続された待機出力を有し、前記待機入力をイネブルすることによって前記中央処理装置を前記待機モードに設定するとともに、前記待機入力をディスエーブルすることによって前記中央処理装置を前記動作モードに設定する、コンピュータシステム。

【請求項 3】 請求項 2 記載のコンピュータシステムであって、  
前記電力管理回路は、前記待機出力を制御するためにバスを介して前記中央処理装置に接続された待機レジスタを有しており、  
前記中央演算装置は、前記バスを介して前記待機レジスタに書き込みを行なうことによって、前記中央演算装置自身を前記待機モードに設定する、コンピュータシステム。

【請求項 4】 前記外部イベントは割込みを含む、請求項 1 ないし 3 のいずれかに記載のコンピュータシステム。

【請求項 5】 前記外部イベントはダイレクトメモリアクセス要求を含む、請求項 1 ないし 4 のいずれかに記載のコンピュータシステム。

【請求項 6】 前記外部イベントは、割込みとダイレクトメモリアクセス要求のうちの少なくとも一方である、請求項 1 ないし 3 のいずれかに記載のコンピュータシステム。

【請求項 7】 電力管理回路であって、  
待機モードと動作モードのいずれであるかを示す内容を保持する待機レジスタと、  
前記待機レジスタに接続され、前記待機レジスタの内容が待機モードを示す場合には待機イネブル出力信号を生成するとともに、前記待機レジスタの内容が動作モードを示す場合には待機ディスエーブル出力信号を生成する論理回路と、  
外部イベント入力と、  
前記外部イベント入力と前記待機レジスタとに接続され、前記外部イベント入力にตอบสนองして前記待機レジスタ

の内容を前記動作モードに設定する論理回路と、を備える電力管理回路。

【請求項 8】 請求項 7 記載の電力管理回路であって、さらに、  
前記待機レジスタに接続され、前記待機モードを示す内容を前記待機レジスタに書き込むレジスタ入力、を備える電力管理回路。

【請求項 9】 請求項 8 記載の電力管理回路であって、さらに、  
周辺装置に関連付けられた少なくとも 1 つのデバイスレジスタを備え、前記デバイスレジスタの内容は前記周辺装置に与えられる電力を制御する、電力管理回路。

【請求項 10】 請求項 9 記載の電力管理回路であって、

前記デバイスレジスタは、複数の周辺装置に関連付けられた複数のデバイスレジスタの中の 1 つであり、前記複数のデバイスレジスタの内容は、それぞれに関連付けられた複数の周辺装置に与えられる電力を制御する、電力管理回路。

【請求項 11】 請求項 10 記載の電力管理回路であって、さらに、

入力アドレスバスと、  
前記入力アドレスバスをデコードして前記待機レジスタと前記複数のデバイスレジスタとのうちの 1 つをイネブルするデコーダと、を備える電力管理回路。

【請求項 12】 請求項 11 記載の電力管理回路であって、

前記複数のデバイスレジスタのそれぞれは、周辺装置部分と電力部分とを有しており、  
前記複数のデバイスレジスタの電力部分は、前記複数の周辺装置の電源スイッチを制御する、電力管理回路。

【請求項 13】 請求項 12 記載の電力管理回路であって、さらに、

前記待機レジスタと前記複数のデバイスレジスタとに接続された複数の入力と、データバスに接続された出力とを有するマルチプレクサを備える、電力管理回路。

【請求項 14】 前記外部イベントは、割込みとダイレクトメモリアクセス要求とを含むグループから選択されたイベントである、請求項 7 ないし 13 のいずれかに記載の電力管理回路。

【請求項 15】 コンピュータシステムの中央処理装置に消費される電力を管理する方法であって、  
外部イベントにตอบสนองする中央演算装置であって、動作モードにある場合には、さらに、待機信号にตอบสนองして待機モードに入る中央処理装置を設ける工程と、  
前記中央処理装置が前記待機モードにある場合には前記外部イベントにตอบสนองして、外部イベントの検出に応じて前記中央処理装置を前記動作モードに設定する電力管理回路を設ける工程と、を備える電力管理方法。

【請求項 16】 請求項 15 記載の電力管理方法であって、

て、  
前記電力管理回路を設ける工程は、少なくとも1つのデバイスレジスタを設ける工程を含み、

前記電力管理方法は、さらに、  
前記電力管理回路に接続された少なくとも1つの周辺装置を設ける工程を備えるとともに、  
前記デバイスレジスタの内容は、前記周辺装置に与えられる電力を制御する、電力管理方法。

【請求項17】 請求項16記載の電力管理方法であって、

前記電力管理回路を設ける工程は、さらに、複数のデバイスレジスタを設ける工程を備えており、

前記少なくとも1つの周辺装置を設ける工程は、  
前記電力管理回路に接続された複数の周辺装置を設ける工程を備えるとともに、  
前記複数のデバイスレジスタの内容は、それぞれに関連付けられた周辺装置に与えられる電力を制御する、電力管理方法。

【請求項18】 前記外部イベントは、割込みとダイレクトメモリアクセス要求とを含むグループから選択されたイベントである、請求項15ないし17のいずれかに記載の電力管理方法。

【請求項19】 コンピュータシステムの中央処理装置に消費される電力を管理する方法であって、  
コンピュータシステムの中央処理装置を低電力の待機モードに設定する工程と、  
前記中央処理装置が応答すべき前記コンピュータシステムの外部イベントをモニタする工程と、  
前記中央処理装置が前記外部イベントに応答可能な動作モードに前記中央処理装置を復帰させる工程と、を備える電力管理方法。

【請求項20】 請求項19記載の電力管理方法であって、

前記中央処理装置を待機モードに設定する工程は、  
前記中央処理装置が、前記中央処理装置とは独立に動作する電力管理回路の待機レジスタに待機コマンドを送込む工程と、

前記電力管理回路が前記中央処理装置の待機入力をイネーブルする工程と、を備える電力管理方法。

【請求項21】 請求項20記載の電力管理方法であって、

前記コンピュータシステムの外部イベントをモニタする工程は、  
前記電力管理回路が割込みとダイレクトメモリアクセス要求とのうちの少なくとも1つを検出する工程と、  
前記検出に応答して、復帰コマンドを前記待機レジスタに書き込む工程と、を備える電力管理方法。

【請求項22】 請求項21記載の電力管理方法であって、

前記中央処理装置を復帰させる工程は、

前記電力管理回路が前記中央処理装置の前記待機入力をディスエーブルする工程を含む、電力管理方法。

【請求項23】 請求項19ないし22のいずれかに記載の電力管理方法であって、さらに、

前記中央処理装置が前記動作モードにある間に前記中央処理装置によって周辺装置のドライバがロードされた場合に、前記周辺装置の電源をオンする工程と、

前記中央処理装置が前記動作モードにある間に前記中央処理装置によって周辺装置の前記ドライバが除去された場合に、前記周辺装置の電源をオフする工程と、を備える電力管理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、ワークステーション、パーソナルコンピュータ、ラップトップコンピュータ等の小規模コンピュータシステムに関し、特に電力管理機能を有するコンピュータシステムに関する。

【0002】

【従来の技術】 パーソナルコンピュータシステムは、次第に高性能になってきている。例えば、ラップトップ、ノートブック、サブノートなどのコンピュータシステムには、デスクトップコンピュータと同程度に高性能なものがある。デスクトップマシンの中には数年前のワークステーションの演算能力を達成するものもあり、また、ワークステーションは、かつてはミニコンピュータ、スーパーミニコンピュータ、あるいはメインフレームコンピュータの領域であった作業を実行している。

【0003】 より小さなスペースに、より高性能な演算能力を収納するようになるに従って、消費電力と発熱が次第に重要な問題となってきている。例えば、ノートブック型、サブノート型、パーソナル・デジタル・アシスタント(PDA、電子秘書)などのバッテリー駆動のコンピュータシステムでは、電力を節約してバッテリー寿命を伸ばし、バッテリーの充電や交換を行わずにコンピュータを使用する時間を延長することが要求されている。

【0004】 一方、デスクトップ型のコンピュータやワークステーションは、通常はバッテリー駆動ではない。しかし、ある程度の消費電力管理は望ましい場合が多い。この理由の1つは、通常のデスクトップコンピュータシステムは、稼働している状態では、それが使用されているか否かに関わらず、数百ワットの電力を消費することである。このようなエネルギーの消費は、きわめて非経済的であり、特に数百、数千のデスクトップコンピュータシステムを昼夜稼働させているような大きな会社や大学・研究所などでは大きな問題である。

【0005】 デスクトップマシンにおいて消費電力管理が望ましい他の理由は、これらのマシンが発生する熱なるべく少なくすることが望ましいということである。最新世代の高速マイクロプロセッサは、50MHz以上の周波数で動作しており、かなりの発熱があるので、効

率的に放熱することによって、コンピュータシステム内の熱に弱いコンポーネントの劣化を防止しなければならない。デスクトップコンピュータの消費電力が低下すれば、発熱量も低下し、この結果、コンピュータシステムに必要な冷却能力を低下させることができる。

【0006】過去において、消費電力の低下は、コンピュータシステムの中央演算装置（CPU）のクロック周波数を低下させることによって実現されていた。これによって消費電力が低減されるのは、CPUの電力消費量が、CPUのクロック周波数に比例しているからである。ある適用方法では、コンピュータシステムがオーバーヒートし始めると、CPUのクロック周波数が低減され、CPUによる消費電力と発熱量が低下する。あるいは、CPUがほとんど処理を実行していないか、全く実行していないことが検出された場合、または、バッテリーの電圧が所定の閾値以下になった場合、または、ユーザの明示的なコマンドが与えられた場合に、CPUのクロック周波数が低減される。

【0007】このような電力節約システムは、スタンドアロン型のコンピュータシステムや、単純なネットワークに接続されたパーソナルコンピュータシステムに対しては十分である。しかし、以下に詳述するように、このような電力節約技術は、産業界において普通に使用されるようになってきているUNIXベース（UNIXは米国ベル・ラボラトリ（AT&T）社の商標）のネットワークコンピュータシステムに対してはあまり適用されていない。

【0008】UNIXベースのコンピュータシステムは割込み起動型システムであって、コンピュータは、通常、処理されるべきイベント（事象）を待っている「アイドルループ状態」にある。割込みが検出されると、その割込みがCPUによって処理された後にシステムがアイドルループに戻る。例えばSUN・SPARCステーション2（商標）のようなUNIXベースのワークステーションは、1から15までの15レベルの割込みを持つことができ、15種類の割込みはその番号が高いほど優先レベルが高い。一例として、UNIXベースのコンピュータシステムがレベル2の割込みを処理している途中でレベル10の割込みがCPUによって検出されると、レベル2の割込みタスクの終了前にレベル10の割込みタスクが処理される。

【0009】図1は、従来のUNIXベースのコンピュータシステムのプロセス10を示すフローチャートである。このプロセス10は、「UNIXカーネル」と呼ばれているものであり、UNIXのオペレーティングシステムの基本的な下層プロセスである。プロセス10は、ステップ12（通常はシステムの起動）で始まり、ステップ14においてコンピュータシステムが初期化される。この際、システムの割込みテーブルがクリアされて初期化される。ステップ14における初期化プロセスの

後に、ステップ16においてシステムの割込みとダイレクトメモリアクセス（DMA）の機能がイネーブル（動作可能に）される。その後、ステップ18において基本的なCPUの機能が実行される。このようなCPUの処理の通常の流れを変更したり修正したりするイベントには、割込みやDMA要求がある。

【0010】DMA要求は、ハードウェアタイプのイベントであり、当業者に周知の方法に従ってCPUにより処理される。しかし、UNIXベースのシステムにおいて最も普通のタイプのイベントは、割込みイベントである。図2は、図1のステップ18における「CPU機能を実行する」処理中に割込みが発生した場合のCPUの応答の詳細を示す図である。

【0011】図2において、プロセス18は、ステップ20で開始され、その直後に「ノー・オペレーション（NOP）」のステップ22を含むアイドルループに入る。マイクロプロセッサは、割込み23によってマスタ割込みハンドラ24にジャンプするまでアイドルループに留まっている。マスタ割込みハンドラは、その割込みの優先レベルを決定して、ハンドラ25、26、28、30、32のうちの適当なハンドラに割込みを渡す。例えば、レベル1ハンドラからレベル15ハンドラまでの15個のレベルの割込みを処理するようにすることができる。各ハンドラは、特定のタイプの機能に関連づけられている。例えば、レベル2ハンドラ26は、イーサネットケーブル（「イーサネット」は商標）の挿入や除去などのようなダイナミックなシステム変更に応答する。レベル10ハンドラ10は、例えば10ミリ秒毎に起動される「ハウスキーピング」ハンドラであり、スケジューラ待ち行列（スケジューラ・キュー）をモニタしたり、コンピュータの画面に表示されているクロックのような時間依存性のプロセスを更新したりするような基本的なハウスキーピング機能を実行する。他のハンドラは、システムの入出力デバイス（以下、「入出力装置」または「周辺装置」と呼ぶ）のために使用することができる。いくつかのハンドラ、例えば図2におけるレベルXハンドラ28（Xは例えば2～10までの間のいずれかの整数）は、ユーザプロセスを開始するために使用することができる。例えば、レベルXハンドラは、キーボードからのキーストローク（レベルX割込み）によってトリガされたり、イベントキューの中に認識可能な文字列がある場合にはユーザルーチンやユーザプログラムを立上げたりする。ここで、ハンドラが割込み処理（ユーザプロセスや他のシステムプロセスを含む）を完全に処理した後で、プロセスコントロールが図2のポイントAに戻り、プロセス18が再びアイドルループに戻ることに注意することが重要である。

【0012】図2において、マスタ割込みハンドラに向かう破線の矢印で示されているように、ハンドラ25～32の1つに割込みが掛けられて、プロセスコントロー

ルがマスタ割込みハンドラ24に戻る事が可能である。割込みスタックにおける最大数までは、いくつでも割込みが可能である。ハンドラがスタックに溜められた割込みイベントをすべて処理し終わると、プロセスコントロールはポイントAに戻り、プロセスは再びアイドルループに入る。

【0013】図3は、入出力装置（周辺装置）によって生成される割込みの通常の処理を示すフローチャートである。このプロセス35は、ステップ36における周辺装置からの割込みの検出によって開始され、ステップ38では、その周辺装置がセットアップされる。次のステップ40ではデータが転送されて、ステップ42においてプロセスが終了する。

【0014】

【発明が解決しようとする課題】UNIXベースのコンピュータシステムにおいて消費電力管理を行なう際の困難性は、システムが常に割込みやDMA要求などを迅速に処理できる程度に機能していなければならない点にある。例えば、レベル10割込み（ハウスキーピング割込み）は、システムのハードウェアによって10ミリ秒毎に生成され、この割込みは迅速に処理されなければならない。従って、CPUのクロック周波数を低減する方法は、電力節約の問題に対するあまり良い解決方法ではなく、割込みやDMA要求のモニタを行なうことなく完全にCPUを停止してしまうのは、システムにとって有害であり、UNIXカーネルの破壊をもたらすかもしれない。

【0015】UNIXベースのコンピュータシステムに電力管理機能を設けるのは困難であるが、このような管理機能は強く要望されている。通常の小規模のコンピュータシステムは、稼働している時間の1%以下しかデータ処理を行っていないと見積もられている。これは、上述したUNIXベースのコンピュータシステムの場合には、コンピュータがほとんどの時間において図2の「NOP」ステップ22を含むアイドルループにあることを意味している。1つのNOPステップの処理は、有用な目的のためのステップと全く同じエネルギーを消費する。UNIXベースシステムのレベル10割込みの間には50万回ものNOP処理が実行されていると見積もられている。従って、これらのNOP処理の実行によって、システムの電力の大部分が消費されている。

【0016】

【課題を解決するための手段および作用・効果】この発明は、電力管理機能を有するコンピュータシステムを提供するものであり、特にUNIXタイプのワークステーションにうまく適用されるものである。この発明の方法および装置は、システムのCPUが低消費電力の特徴（スタンドバイ）状態にある間に発生した割込みとダイレクトメモリアクセス（DMA）要求を監視（モニタ）し、それらの割込みやDMA要求が検出された時にCPU

Uを動作状態（アクティブ状態）に復帰させるものである。従って、この発明は、UNIXベースのコンピュータシステムに対して、割込みやDMA要求やその他の外部イベントに適切に 대응せずにUNIXカーネルを破壊させるということが起こらないような電力管理機能を提供するものである。

【0017】この発明による電力管理機能を有するコンピュータシステムは、中央処理装置（CPU）と、中央処理装置に接続された電力管理回路とを有している。CPUは、割込みやダイレクトメモリアクセス要求などの外部イベントに 대응する動作モードと、低出力状態にある割込みやダイレクトメモリアクセス要求などの外部イベントに 対応しない待機モードと、を有する。電力管理回路は、中央処理装置が待機モードにある時に割込みやダイレクトメモリアクセス要求などの外部イベントをモニタして、外部イベントの検出に応じて中央処理装置を動作モードに設定する。

【0018】この発明による電力管理回路は、CPUが待機モードと動作モードのいずれにあるかを示す内容を保持する待機レジスタと、前記待機レジスタに接続され、前記待機レジスタの内容が待機モードを示す場合には待機信号を生成するとともに、前記待機レジスタの内容が動作モードを示す場合には待機信号をディスエーブルする論理回路と、割込み入力やダイレクトメモリアクセス入力を有する外部イベント入力と、前記外部イベント入力と前記待機レジスタとに接続され、割込み入力またはダイレクトメモリアクセス入力に 対応して前記待機レジスタの内容を前記動作モードに設定する論理回路と、を備える。

【0019】電力管理回路は、さらに、複数の周辺装置に関連付けられた複数のデバイスレジスタを有し、複数のデバイスレジスタの内容が、それぞれに関連付けられた複数の周辺装置に与えられる電力を制御することが好ましい。

【0020】この発明によるコンピュータシステムの中央処理装置に消費される電力を管理する方法は、動作モードにある場合には、割込みやダイレクトメモリアクセス要求などの外部イベントと待機信号とに 対応する中央処理装置を設ける工程と、前記中央処理装置が前記待機モードにある場合には割込みやダイレクトメモリアクセス要求などの外部イベントに 対応して、外部イベントの検出に応じて前記中央処理装置を前記動作モードに再設定する電力管理回路を設ける工程と、を備える。

【0021】電力管理回路を設ける工程は、複数の周辺装置に関連付けられた複数のデバイスレジスタを設ける工程を含み、複数のデバイスレジスタの内容が、それぞれに関連付けられた複数の周辺装置に与えられる電力を制御することが好ましい。

【0022】この発明の他の前成によれば、コンピュータシステムの中央処理装置に消費される電力を管理する

方法は、(a) コンピュータシステムの中央処理装置を低電力の待機モードに設定する工程と、(b) 前記中央処理装置が応答すべき前記コンピュータシステムの外部イベントをモニタする工程と、(c) 前記中央処理装置が前記外部イベントに応答可能な動作モードに前記中央処理装置を復帰させる工程と、を備える。

【0023】前記中央処理装置を低電力の待機モードに設定する工程は、前記中央処理装置に、前記中央処理装置とは独立に動作する電力管理回路の待機レジスタに待機コマンドを格納させる工程と、前記電力管理回路に、前記中央処理装置の待機入力をイネーブルさせる工程と、を備えることが好ましい。

【0024】この発明の電力管理方法および装置によれば、システムのソフトウェアカーネルを破損することなくUNIXベースのコンピュータシステムにおける消費電力と発熱量とを低減することができる。この発明は、割込みやDMA要求を多用するコンピュータシステムや、高速ネットワークに使用されるコンピュータシステムにうまく適用することができる。

【0025】この発明の上述あるいは他の利点は、以下に示す実施例の詳細な説明と図面とを参照することによって明らかになるであろう。

【0026】

【実施例】図4は、この発明の一実施例としての電力管理機能を有するコンピュータシステム44を示すブロック図である。このコンピュータシステム44は、CPU46と、ランダムアクセスメモリ(RAM)48と、ダイレクトメモリアクセス(DMA)回路50と、電力管理回路(PMC)52と、スレーブ入出力(I/O)回路54とを有している。コンピュータシステム44のこれら種々の構成要素は、Sバス(SBUS)56、Eバス(EBUS)58、メモリバス60、割込みバス62、レベル2割込みライン64、および待機ライン66などの多数のバスや配線によって接続されている。

【0027】CPU46としては、サン・マイクロシステムズ社(米国カリフォルニア州マウンテンビュー)のSPARC(商標)マイクロプロセッサやこれと同等のシングルチップ・マイクロプロセッサを使用することが好ましい。CPU46は、SBUS56とメモリバス60と割込みバス62と待機ライン66とに接続されている。SBUS56は、データバス(Dバス)68とアドレスバス(Aバス)70と、コントロールバス(Cバス)72とを含んでいる。

【0028】CPU46は、「アクティブ」モード(動作モード)においては、種々の入力信号に応答する。すなわち、CPU46は、動作モードにある場合には、割込みバス62上で検出された割込みに応答する。割込みバス62は4ビットバスであり、15レベルの割込みを示すことができる。割込みは、割込みバスの値が0でない時、すなわち、割込みバスの値が\$1~\$F(\$は1

6進数であることを示す)である時に検出される。割込みバス62の値が\$0である時には、現在このバス62上に割込みがないことを示している。

【0029】動作モードにある場合には、CPU46はコントロールバス72を介して入力されるDMA要求に対しても応答する。コントロールバス72は26ビットバスであり、コントロールバス72の中の指定された5本のDMAラインが、ダイレクトメモリアクセスの要求が出されていることをCPUに示すために使用される。

【0030】このように、割込みとDMA要求は、CPUが応答すべき外部イベントと考えられている。この理由は、割込みとDMA要求はコンピュータ内のイベントではあるが、CPUにとっては外部のイベントなので、CPUが予期できない時に発生するからである。外部イベントが受け取られたら、その時期に係わらず、CPUによって迅速に処理して、データの消失やUNIXカーネルの破損の可能性を防止すべきである。

【0031】動作モードでは、CPU46は、これらの外部イベント、すなわち、割込みとDMA要求の両方に応答する。しかし、この発明によれば、CPU46は、待機モード(スタンバイモード、スリープモードとも言う)に移行することができ、このモードではほとんど電力を消費せず、また、外部イベントにも応答しない。待機モードは、待機ライン66が電力管理回路52によってイネーブルされた時に開始される。ここで、「イネーブルされる」とは、特定の機能が動作可能にされることを意味しており、システムによって設定された取り決めに応じて、論理的なハイレベルまたはローレベルによって示される。また、「ディスエーブルされる」という用語は、「イネーブルされる」とことは反対の条件や論理状態を言う。待機ライン66がイネーブルされると、CPUは現在実行中の命令がどのようなものであっても終了し、CPU内部の状態遷移を禁止することによって電力消費量を大幅に低減する。CPUの内部クロックは動作を続けるが、これは、SPARCプロセッサのCPUではクロックを停止すると再起動時に問題が発生する可能性があるからである。他のCPUタイプを使用する場合には、CPUの内部クロックの周波数を低下させたり停止したりすることによって電力消費量を低減することが可能である。CPUの待機モードとスリープモードは、当業者に周知の方法で実行される。

【0032】待機ライン66が電力管理回路によってディスエーブルされると、クロックがリスタートし、CPU46が次のオペレーションを実行する準備が整う。前述したように、通常はCPU46がアイドルループにある時に待機モードに移行するので、次のオペレーションはNOP処理である。しかし、後で詳述するように、待機ライン66は、システム44において割込みやDMA要求が検出された時に電力管理回路によってディスエーブルされ、これによってCPU46が動作モードに移行



する。従って、復帰時（再アクティブ時）において、CPU 46は割込みやDMA要求を処理するために呼び出される。

【0033】RAM 48は、メモリバス60を介してCPU 46に接続されている。当業者に周知のように、メモリバス60は、それ自身のデータラインとアドレスラインとコントロールラインとを有している。RAM 48は、システム44の「スクラッチパッド（メモ帳）」メモリとして使用され、DMA回路50で生成されたDMA要求をCPU 46が処理すると、DMA回路50からアクセスできる。

【0034】DMA回路50は、SCSI入力、オーディオ入力、イーサネット入力等の種々の入力端子を有している。これらの入力に共通している点は、システムの資源（リソース）に迅速にアクセスする必要がある非常に高速なデバイスに接続されている、というところにある。従って、DMA回路50が、データをシステム44内に転送する要求を検出したとき、あるいは、データをシステム外部のこれらのデバイスの1つに転送するというCPUからの要求を検出したときに、コントロールバス62のコントロールラインの1つにDMA要求が生成され、CPU 46はDMA処理モードに移行する。このDMA処理モードでは、CPU 46は通常の処理を止めて、DMA回路50はRAM 48のようなシステム資源に直接アクセスすることが許可される。換言すれば、ダイレクトメモリアクセスの間は、DMA回路50がCPU 46の代わりにRAM 48をコントロールする。また、逆に、データがRAM 48から例えばイーサネットに転送される場合には、RAM 48はCPU 46ではなくDMA回路50に制御されている。

【0035】電力管理回路（PMC）52は、EBUS 58と、割込みバス62と、レベル2割込みライン64と、待機ライン66と、SBUS 56のコントロールバス72の5本のラインとに接続されている。電力管理回路52の主な機能は、割込みバス62上の割込みをモニタ（監視）することと、コントロールバス62上のDMA要求をモニタすることである。割込みやDMA要求が検出されると、待機ライン66がディセーブルされてCPU 46を動作モードに「目覚め」させ、CPU 46がDMA要求や割込み（すなわち外部イベント）を処理できるようにする。

【0036】電力管理回路52の他の機能は、後で詳述するように、周辺装置のパワーオフ（電源停止）を行なうことである。このタスクを実行するために、電力管理回路52内の種々のデバイスレジスタがCPU 46によって書き込まれ、そのデバイスのパワーオンとパワーオフがなされる。ここで、「レジスタ」とは、1ビット以上の情報を格納する能力を有する記憶メカニズムを意味する。換言すれば、レジスタとしては、フリップフロップのような単一の記憶要素や、論理ユニットとして集積

されている一連の記憶要素を使用することができる。この実施例におけるレジスタは、好ましくは8ビット幅を有しているが、各レジスタのすべてのビットが機能している必要はない。電力管理回路52は、パワーバス59を介してフロピッドドライブのような周辺装置を起動したり停止させたりするように機能する。例えば、電力管理回路52は、EPROMや、フロピッドドライブポートや、シリアルポートや、バッテリーのスイッチを切ってエネルギーを節約すべきことを、パワーバス59を介して指示することができる。

【0037】スレーブI/O回路54は、EPROMや、フロピッドディスクドライブや、シリアルポートや、バッテリーモニタなどの多数の周辺装置に接続されている。これらの周辺装置の1つからデータが入力されると、1～15の割込みレベルが割込みバス62上に生成されて、CPU 46（CPUがアクティブな場合）または電力管理回路52（CPUがアクティブでない場合）に通告する。CPU 46は、アクティブにされると、SBUS 56を介してスレーブI/O回路54からデータを読取ることができる。

【0038】図5は、周辺装置のパワーオンとパワーオフのプロセス74を示すフローチャートである。このプロセス74は図3に示すプロセス35を修正したものであり、CPU 46によって実行される。プロセス74には、図3に示すプロセス35の機能を修正し、向上させるための修正がなされている。従って、CPU 46と周辺装置の間にデータ転送の必要が生じた時に、修正されたプロセス74が呼び出される。プロセス74は、ステップ76で開始され、ステップ78において電力管理回路52の適切なレジスタにCPU 46が書き込みを行ない、パワーバス59を介して命令を伝達することによって、その周辺装置の電源をオンにする。次に、周辺装置がステップ80においてセットアップされる。このステップ80は、プロセス35におけるステップ38と同じステップである。次に、ステップ82では、データが転送される。このステップ82は、プロセス35のステップ40と実質的に同一のステップである。最後に、ステップ84において、CPU 46が電力管理回路の適切なレジスタに書き込みを行ない、その周辺装置の電源をダウンさせる。このプロセス74は、ステップ86において終了する。

【0039】従って、図3におけるプロセス35から図5のプロセス74への修正点は、周辺装置のデバイスドライバが呼び出されるたびにその周辺装置の電源がオンされ、データ転送が完了するたびにその周辺装置の電源がオフされるところにある。この方法によれば、周辺装置は、それらが必要な時のみ電源オンされるので、かなりのエネルギーが節約でき、また、システムで発生する熱も低減できる。

【0040】図6は、マイクロプロセッサ46が待機状

態に移行する際のプロセス88を示すフローチャートである。このプロセス88はCPU46によって実行されるプロセスであり、図2のプロセス30を修正したプロセス30'が実行される。前述したように、図2のプロセス30は、定期的に発生するレベル10割込みによって開始される「ハウスキーピング」プロセスであり、10ミリ秒毎に実行される。図6のプロセス88は、ステップ90で開始され、ステップ92においてレベル10のハウスキーピング作業（通常管理作業）が実行される。この作業は、図2の修正されていないレベル10ハンドラ30によって処理されるハウスキーピング作業と同一である。次に、修正されたプロセス30'の最後のステップ94において、CPU46が電力管理回路52の待機ビットに書き込みを行ない、待機モードをアサート（確立）する。後で詳述するように、電力管理回路52は待機ビットへの書き込みに応答して、破線の矢印96で示すように、待機ライン66をイネーブルにする。CPU46は、この後、現在実行中のあらゆるタスクを終了して、ステップ98で示されるように待機モードに移行する。

【0041】CPU46は、待機ライン66がイネーブルにされている間は待機状態に留まっている。図6の破線100で示されるように、電力管理回路52が待機ライン66をディスエーブルにすると、ステップ102においてCPU46が待機状態から抜け出し、処理を再開する。プロセス88は、ステップ104において終了する。

【0042】以上のことから明らかなように、図6の修正プロセス30'は、割込みやDMA要求などの他のプロセスが処理されていない限り、ハウスキーピングサイクルの終了のたびに（すなわち10ミリ秒毎に）、CPU46を待機モードに移行させる。これによって、CPU46は、必要な場合にだけフルパワーを消費することになる。この待機モードでは、内部クロックが停止している状態において、CPUは通常のエネルギー消費のごく一部、例えば、通常のエネルギー消費の1%以下を消費しているだけである。図6のステップ102に示されるように、CPUが目覚めて動作モードに移行すると、CPUは通常はそのプログラムカウンタで示される次のステップを実行する。CPUは、図6のステップ92における通常のレベル10ハウスキーピング作業の終了後に、ステップ94で待機モードに移行するので、復帰後の次のステップは図2に示すアイドルループのNOPステップ22であろう。しかし、待機ラインは、割込みやDMA要求、すなわち、外部イベントが検出された時にディスエーブルされるので、この場合には、復帰後に実行される次のステップは、外部イベントを処理するためのものである。例えば、割込みがCPU46を目覚めさせる原因である場合には、実行される次のステップは図2に示すマスタ割込みハンドラのステップ24である。

【0043】図7は、電力管理回路（PMC）52によって実行されるプロセス106を示すフローチャートである。このプロセス106は、ステップ108で開始され、ステップ110において、電力管理回路52の待機ビットがアサート（確立）されているか否かが確認される。アサートされていないければ、プロセス106は待機ビットがアサートされるまで待つ待ち状態に入る。次にステップ111において、待機ライン66がイネーブルされる。次に、ステップ112では、システム44において外部イベントが検出されているか否かが決定される。外部イベントが検出されていないければ、プロセス106は割込みやDMA要求を待つ待ち状態に再び入る。外部イベントが検出されると、ステップ114において待機ビットがデ・アサート（解除）され、ステップ116において待機ライン66上の信号がディスエーブルされる。このプロセス106は、ステップ118において終了する。

【0044】以上のプロセス106から明らかなように、電力管理回路は、CPUが待機モードにある時には外部イベントのみを監視している。割込みやDMA要求が検出されると、その割込みやDMA要求を処理するために、CPU46が動作モードに設定される。CPU46は、ステップ110において待機ビットをアサートすることによってステップ106を開始するので、CPU46は、本質的に、CPU自身を待機モードに移行させる際の制御を司っている。待機モードに入ると、CPUは自分で目覚めることはできず、電力管理回路52が適切な時に待機ライン66をディスエーブルにしてCPU46を目覚めさせるのを待っている。

【0045】図8は、電力管理回路52の内部回路を詳細に示すブロック図である。電力管理回路52は、デコーダ120と、レジスタアレイ122と、出力マルチプレクサ（MUX）124とを備えている。電力管理回路52は、さらに、ダイナミックシステム変更ロジック（DSC論理回路）126と、レベル2割込みロジック128とを含んでいる。

【0046】EBUSのアドレスバスの4本のラインは、デコーダ120に入力されており、（この実施例では）11本のデコーダ出力ライン130の中の1つにデコードされる。これらの出力ラインは「書き込みイネーブル」ラインWEと共に使用され、レジスタアレイ122内の選択されたレジスタにデータを書き込む。もちろん、4ラインのアドレスバスは16個のレジスタまでのアドレスを設定できるので、図8に示される実施例では、追加の周辺装置のために5個のレジスタをさらに持つことができる。

【0047】レジスタアレイ122は、1つのアイドルレジスタと、多数の周辺レジスタ（I/Oレジスタ、デバイスレジスタとも呼ぶ）を有している。アイドルレジスタは、CPU46を待機モードに移行させるために使

用されるビットを含んでいる。ここで使用されている周辺レジスタは、キーボードレジスタと、マウスレジスタと、パワーラッチレジスタと、イーサネットレジスタと、SCSIレジスタと、シリアルポートレジスタと、オーディオポートレジスタと、ISDNレジスタと、アナログ-デジタル(A/D)制御レジスタと、テストレジスタとを含んでいる。勿論、追加のレジスタや異なるレジスタを用いることも可能である。

【0048】マルチプレクサ124は、レジスタアレイ122の種々のレジスタに接続されている多数のバス132からの入力を受け取る。これらのバスはレジスタと同じビット幅を有しており、この実施例においては、8ビットの幅を有している。EBUSのアドレスラインは、MUX124に入力されて、レジスタアレイ122のレジスタに接続されているバス132の中から1本を選択して、出力バス134に出力する。この出力バス134は、8ビットのトライステートバッファ136を介してEBUSのデータラインに接続されている。このトライステートバッファ136は、レジスタアレイ122が書き込み可能でない時のみアクティブになる。EBUSのデータラインはまた、書き込みイネーブル(WE)信号によってイネーブルされる8ビットのトライステートバッファ138を介してレジスタアレイ122に接続されている。

【0049】ダイナミックシステム変更ロジック(DSC論理回路)126は、システムの稼働中におけるシステムの変更を検出するために使用される。例えば、電源スイッチは、切換えられた時にDSC論理回路126への入力信号を発生する。同様に、イーサネットケーブルが接続されたり切り放されたりしたときにも、DSC論理回路126のTPEIN入力ライン上に入力信号が生成される。図8において「他の」入力が記されているように、他のダイナミックなシステムの変更も同様にしてDSC論理回路126によってモニタされる。ダイナミックなシステムの変更は、システムの電力消費量に影響を与えることがあるので、これをモニタすることは電力節約の観点からも有益である。例えば、イーサネットのケーブルが切り放されると、イーサネットレジスタのビットがセットされる。このビットはシステムによって読取られ、システムはそのイーサネットケーブルのためのドライバを除去できることが解るので、電力を節約することができる。

【0050】割込み論理回路128は、レジスタアレイ122の中でレベル2割込みに対応するレジスタをモニタする。レベル2割込みを示すレジスタの1つにビットがセットされると、割込み論理回路128は割込みライン64をイネーブルする。

【0051】この図から明らかなように、書き込みイネーブルWEをイネーブルにし、EBUSのアドレスバスで適切なレジスタのアドレスを与えることによって、EB

USのデータラインからレジスタアレイ122のレジスタに書き込みを行なうことができる。書き込みイネーブルWEをディスエーブルし、EBUSのアドレスバス上に所望のレジスタのアドレスを与えることによって、レジスタアレイ122のレジスタからEBUSのデータバス上に読出すこともできる。

【0052】アイドルレジスタの8本の出力ラインの1つは待機ライン66である。従って、待機ライン66は、アイドルレジスタの1ビット(待機ビット)に関連づけられている。この待機ビットは、CPU46が待機モードに入りたい場合にCPU46によってセットされる。待機ビットは、5本のDMA要求ラインと、4本の割込みバスラインとを入力とするORゲートの出力によってリセットされる。これらのラインの中のいずれか1つがイネーブルされると、これは「外部イベント」が起こった結果であり、待機ビットがリセットされる。この結果、待機ラインはディスエーブルされ、CPUが目覚めて動作モードになる。

【0053】パワーバスは、デバイスレジスタのそれぞれ1本の「パワービット(電力ビット)」ラインに接続された多数のラインを含んでいる。1つのデバイスレジスタのパワービットがセットされる(これは前述したようにCPUによって行なわれる)と、そのパワービットラインがイネーブルされて、関連した周辺装置がパワーオフされる。そのパワービットがリセットされると、パワーバス59の関連したラインがディスエーブルされて、その周辺装置への電源がイネーブルされる。

【0054】以上、本発明を好適な実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、本発明の要旨の範囲内における様々な変更・置換・等価物がある。また、本発明の方法と装置の両方を実現するための他の種々の手段がある。従って、以下に記載するクレームは、本発明の要旨を超えない範囲のこのような変形・置換・等価物をも含むものである。

#### 【図面の簡単な説明】

【図1】従来のUNIXベースのコンピュータシステムのプロセス10を示すフローチャート。

【図2】図1のステップ18における「CPU機能を実行する」処理において割込みが発生した際のCPUの応答の詳細を示す図。

【図3】入出力装置(周辺装置)によって生成される割込みの通常のハンドリングを示すフローチャート。

【図4】電力管理機能を有するコンピュータシステム44を示すブロック図。

【図5】周辺装置のパワーオンとパワーオフのプロセス74を示すフローチャート。

【図6】マイクロプロセッサ46が待機状態に移行する際のプロセス88を示すフローチャート。

【図7】電力管理回路(PMC)52によって実行されるプロセス106を示すフローチャート。

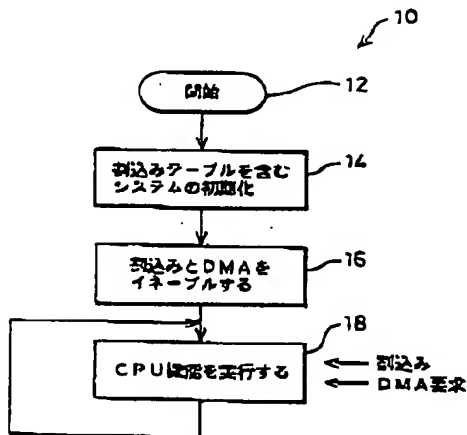
【図8】電力管理回路52の内部回路を詳細に示すブロック図。

【符号の説明】

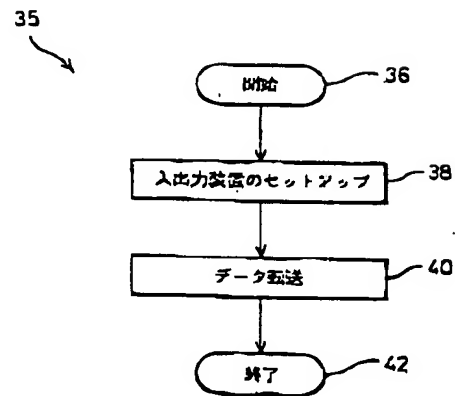
44…コンピュータシステム  
46…CPU  
46…マイクロプロセッサ  
48…RAM  
50…DMA回路  
52…電力管理回路  
54…スレープI/O回路  
56…SBUS  
58…EBUS  
59…パワーバス  
60…メモリバス

62…コントロールバス  
66…待機ライン  
72…コントロールバス  
120…デコーダ  
122…レジスタアレイ  
124…マルチプレクサ  
126…DSC論理回路  
128…論理回路  
130…デコーダ出力ライン  
132…バス  
134…出力バス  
136…トライステートバッファ  
138…トライステートバッファ

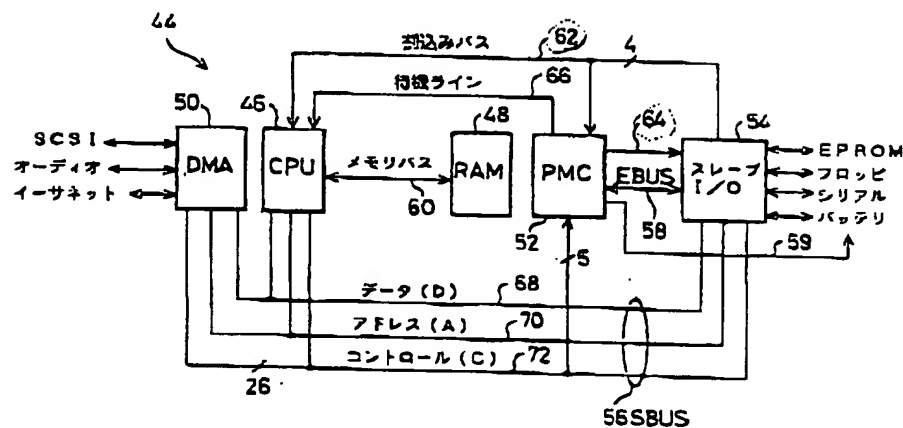
【図1】



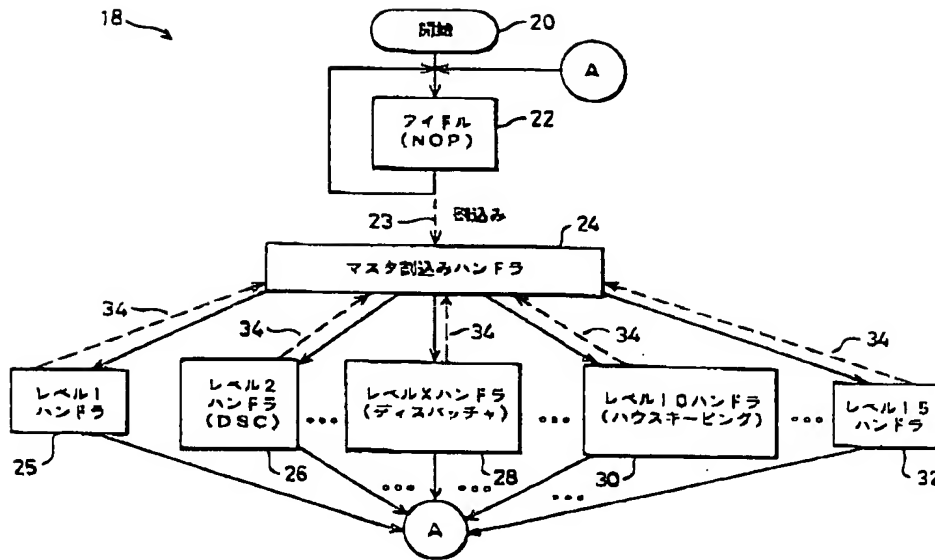
【図3】



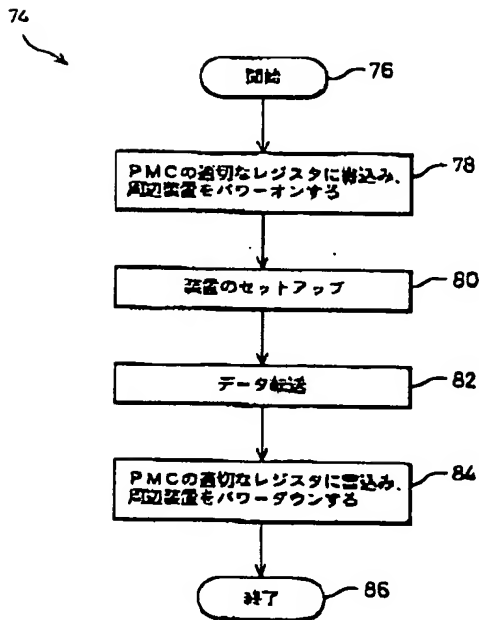
【図4】



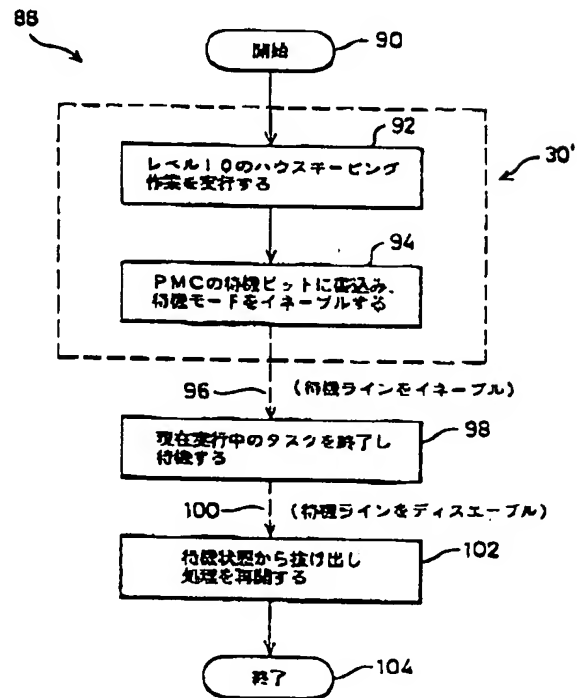
【図 2】



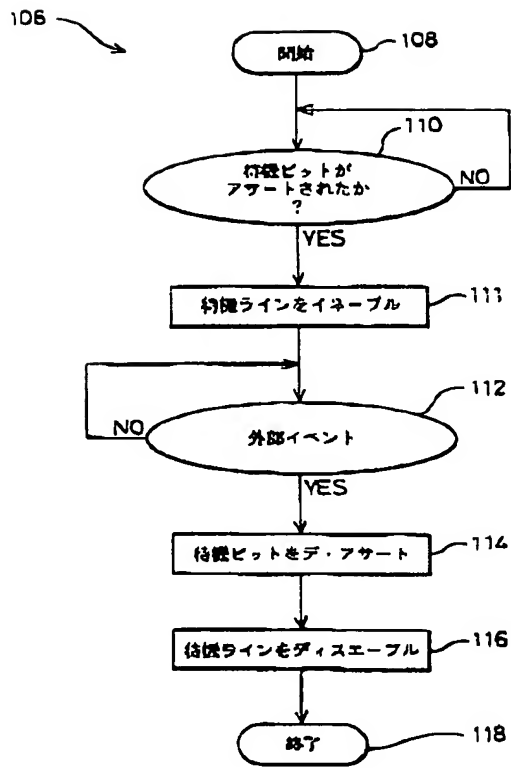
【図 5】



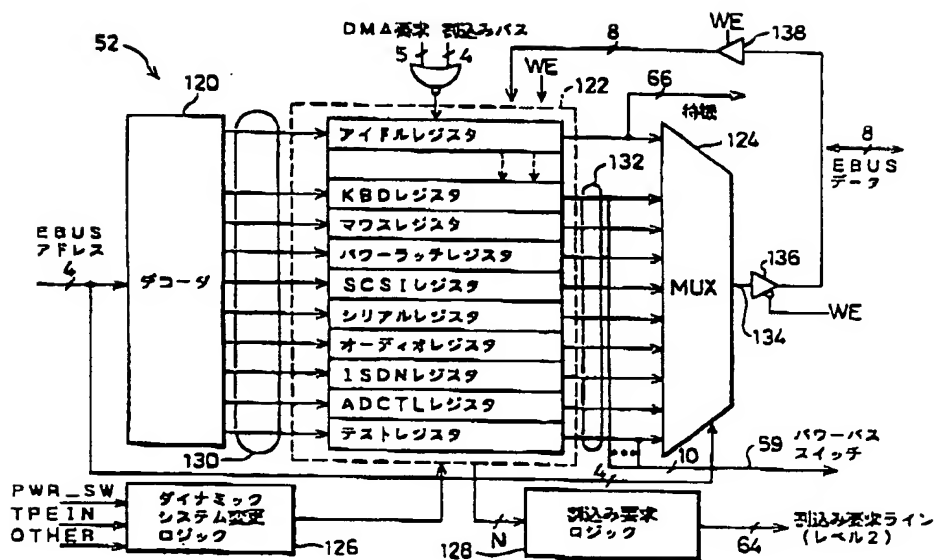
【図 6】



【図 7】



【図 8】



フロントページの続き

(72) 発明者   マーク・ダブリュ・・インスレイ  
          アメリカ合衆国   カリフォルニア州94086  
          サニーヴェイル、アゼリア・ドライブ、  
          1057